

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

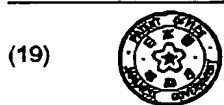
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number **10056168 A**

(43) Date of publication of application: **24.02.98**

(51) Int. Cl.

H01L 29/778

H01L 21/338

H01L 29/812

H01L 29/78

(21) Application number: 08208719

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(22) Date of filing: 08.08.96

(72) Inventor **ISHIDA TAKAO**
YOSHIDA NAOTO

(54) FIELD-EFFECT TRANSISTOR

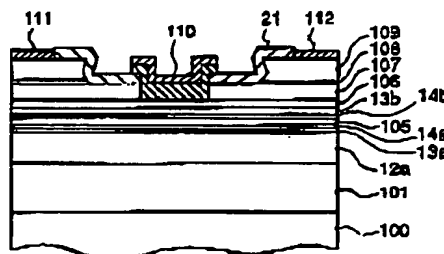
supply layer 13a.

(57) Abstract:

COPYRIGHT (C)1998,JPO

PROBLEM TO BE SOLVED: To improve strain characteristics and to reduce leaking of current to an adjoining circuit by making electron affinity of the material constituting a semiconductor layer and a difference in electron affinity in the neighborhood of interface between semiconductor layer to be specific.

SOLUTION: Relating to a field-effect transistor, when a lower part hetero barrier wall height between a lower part carrier supply layer 13a and a channel layer 105 is higher than an upper part hetero barrier wall height between the upper part carrier supply layer 13b and the channel layer 105, linearity in DC characteristics of the field-effect transistor improves. In short, the field-effect transistor of good grain characteristics is obtained. For that purpose, as a material of the lower part carrier supply layer 13b, that of smaller electron affinity than that of the upper part carrier supply layer 13b is used. Hetero barrier wall height wall is decided by a difference between the channel layer 105 and the upper part carrier suppress layer 13b, or, between the channel layer 105 and the lower part carrier



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-56168

(43) 公開日 平成10年(1998) 2月24日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/778		9447-4M	H 0 1 L 29/80	H
21/338			29/78	3 0 1 B
29/812				
29/78				

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願平8-208719

(22) 出願日 平成 8 年(1996) 8 月 8 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 石田 多華生

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72) 発明者 吉田 直人

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

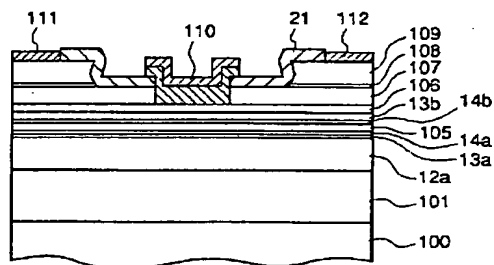
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 周波数多重通信における隣接回線への漏洩信号を低減するため、歪み特性の良い高出力、高効率 F E T を得る。

【解決手段】 電界効果トランジスタの、下部キャリア供給層 1 4 a とチャネル層 1 0 5 との界面近傍の電子親和力の差が、チャネル層 1 0 5 と上部キャリア供給層 1 4 b との界面近傍の電子親和力の差よりも大きいものとした。



12a : undoped- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ /バッファ層
13a : n- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 下部キャリア供給層
13b : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部キャリア供給層
14a : undoped- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 下部スペーサ層
14b : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部スペーサ層
21 : 絶縁膜
100 : 半絶縁性GaAs基板
101 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ /undoped-GaAs超格子バッファ層
105 : undoped- $\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$ チャネル層
106 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ ショットキー接合形成層
107 : n-GaAs下部コンタクト層
108 : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチングストッパ層
109 : n⁺-GaAs上部コンタクト層
110 : ゲート電極
111 : ソース電極
112 : ドレイン電極

【特許請求の範囲】

【請求項 1】 半絶縁性の半導体基板上に、高抵抗のバッファ層と、該バッファ層上に形成された比較的高濃度の不純物を有する第 1 の半導体層と、該第 1 の半導体層上に形成された、アンドープ、または比較的低濃度の不純物を有する第 2 の半導体層と、該第 2 の半導体層上に形成された比較的高濃度の不純物を有する第 3 の半導体層と、該第 3 の半導体層上に形成された、その表面にゲート電極、ソース電極、及びドレイン電極が形成された第 4 の半導体層とを備えた電界効果トランジスタであって、

上記第 2 の半導体層を構成する材料の電子親和力が、上記第 1 の半導体層、及び第 3 の半導体層を構成する材料の電子親和力よりも大きく、かつ、上記第 1 の半導体層と上記第 2 の半導体層との界面近傍の電子親和力の差が、上記第 2 の半導体層と上記第 3 の半導体層との界面近傍の電子親和力の差よりも大きいことを特徴とする電界効果トランジスタ。

【請求項 2】 請求項 1 記載の電界効果トランジスタにおいて、

上記第 1 の半導体層を構成する材料の電子親和力が、上記第 3 の半導体層を構成する材料の電子親和力よりも小さいものであることを特徴とする電界効果トランジスタ。

【請求項 3】 請求項 1 に記載の電界効果トランジスタにおいて、

上記第 2 の半導体層を構成する材料の電子親和力が、上記第 1 の半導体層側から上記第 3 の半導体層側に向かって、徐々に小さくなるものであることを特徴とする電界効果トランジスタ。

【請求項 4】 請求項 2 に記載の電界効果トランジスタにおいて、

上記第 1 の半導体層、及び第 3 の半導体層を構成する材料は AlGaAs であり、上記第 3 の半導体層よりも上記第 1 の半導体層の Al 組成が高いことを特徴とする電界効果トランジスタ。

【請求項 5】 請求項 2 に記載の電界効果トランジスタにおいて、

上記第 1 の半導体層、及び第 3 の半導体層を構成する材

$$V_i(t) = A1 \cos 2\pi f1 t + A2 \cos 2\pi f2 t \dots (2)$$

を考えたとき、(1) 式の 3 次成分として現れる $f0 = 2f1 - f2$ 、及び $f3 = 2f2 - f1$ で表される隣接周波数の信号成分が、最も問題となる信号成分となる。これは 3 次の相互変調歪み (IMD3) と呼ばれ、入出力間での増幅器等の非線形性に起因して生じ、隣接する回線への雑音として作用する。従って、複数回線の通信 (周波数多重通信) においては、このような隣接回線への影響を低減するために、特に歪み特性の良い、即ち、入出力間での線形性の良い高出力、高効率トランジスタが求められている。

料は InGaP であり、上記第 3 の半導体層よりも上記第 1 の半導体層の Ga 組成が高いことを特徴とする電界効果トランジスタ。

【請求項 6】 請求項 2 に記載の電界効果トランジスタにおいて、

上記第 1 の半導体層、及び第 3 の半導体層を構成する材料は AlInAs であり、上記第 3 の半導体層よりも上記第 1 の半導体層の Al 組成が高いことを特徴とする電界効果トランジスタ。

【請求項 7】 請求項 3 に記載の電界効果トランジスタにおいて、

上記第 2 の半導体層を構成する材料は InGaAs であり、その In 組成は上記第 1 の半導体層側から上記第 3 の半導体層側に向かって小さくなるように傾斜状もしくは階段状に変化していることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は電界効果トランジスタに関し、特に、高出力、高効率でかつ、歪み特性の良い電界効果トランジスタに関するものである。

【0002】

【従来の技術】 通信方式がデジタル化されるのに伴い、通信機の出力段トランジスタとして、小型、高出力、高効率なのはもちろんのこと、隣接回線への漏洩電力 (歪み) の小さなトランジスタが要求されている。

【0003】 一般に、トランジスタの出力信号 $V_o(t)$ は、入力信号を $V_i(t)$ として、以下のように表現できる。

【0004】

【数 1】

$$V_o(t) = \sum_{n=0}^{\infty} a_n V_i^n(t)$$

【0005】 ここで、入力信号 ($V_i(t)$) として、基本周波数が $f1$ である信号と、基本周波数が $f2$ である信号との 2 回線分の周波数多重信号である

【0006】 従来より高出力、高効率特性を得るために、図 10 のようなダブルヘテロ (DH) 接合を有する高電子移動度トランジスタ (以下、HEMT と称する) が有望視されている (例えば Electronics Lett. 31(1995)P. 2213 参照)。

【0007】 以下に、従来の HEMT の製造方法を簡単に説明する。まず、半絶縁性 GaAs 基板 100 上に、undoped-Al0.2Ga0.8As/undoped-GaAs 超格子バッファ層 101、undoped-Al0.2Ga0.8As バッファ層 102、n-Al0.

2 Ga0.8 As下部キャリア供給層103a、undoped-Al0.2 Ga0.8 As下部スペーサ層104a、undoped-In0.15Ga0.85Asチャネル層105、undoped-Al0.2 Ga0.8 As上部スペーサ層104b、n-Al0.2 Ga0.8 As上部キャリア供給層103b、undoped-Al0.2 Ga0.8 Asショットキー接合形成層106、n-GaAs下部コンタクト層107、n-Al0.2 Ga0.8 Asエッチングストップ層108、n⁺-GaAs上部コンタクト層109、のような、チャネル層の上下にあるキャリア供給層(103a、103b)とも同じAl組成のAlGaAsを用いたDH構造をなす各層を、MBE法、MOCVD法などの結晶成長法を用いて順次積層する。

【0008】そののち、ソース電極111、ドレイン電極112を形成し、通常の写真製版技術を用いて図10に示すようなリセス構造を形成したのち、ゲート電極110を形成して電界効果トランジスタを完成する。

【0009】

【発明が解決しようとする課題】上述したようにして形成されたHEMTの特性について説明する。図11は図10に示したHEMTの伝導帯下端のエネルギーバンド図であり、図12は、図10で示したHEMT(ゲート長 $L_g = 0.7 \mu m$ 、ゲート幅 $W_g = 200 \mu m$)のゲート電圧 V_g に対するドレイン電流 I_d 、及び相互ドレインコンダクタンス g_m を示したグラフである。

【0010】図10に示したHEMTのエネルギーバンドは、図11に示すように、その上部ヘテロ障壁と下部ヘテロ障壁の高さが等しくなっている。また、このHEMTの特性は、図12に示すように、ゲート電圧 V_g

(入力)に対するドレイン電流 I_d (出力)の線形性が悪く、このためドレイン電流の変化分をゲート電圧の変化分で割った値($\partial I_d / \partial V_g$)により表される相互ドレインコンダクタンス g_m が、ある V_g の範囲で一定値を示すような部分がほとんどない。

【0011】このような従来のHEMTでは入出力の線形性が悪い(歪み特性が悪い)ため、上述した3次の相互変調歪み(IMD3)の影響が大きく、周波数多重通信における隣接回線への漏洩信号が大きかった。

【0012】本発明は上記のような問題点を解決するためになされたものであり、特に g_m が V_g (入力)に対して一定値を示すような範囲を拡げることにより、歪み特性の良い、隣接回線への漏洩電力の小さい電界効果トランジスタを得ることを目的としている。

【0013】

【課題を解決するための手段】請求項1に係る電界効果トランジスタは、半絶縁性の半導体基板上に、高抵抗のバッファ層と、該バッファ層上に形成された比較的高濃度の不純物を有する第1の半導体層と、該第1の半導体層上に形成された、アンドープ、または比較的低濃度の不純物を有する第2の半導体層と、該第2の半導体層上

に形成された比較的高濃度の不純物を有する第3の半導体層と、該第3の半導体層上に形成された、その表面にゲート電極、ソース電極、及びドレイン電極が形成された第4の半導体層とを備えた電界効果トランジスタであって、上記第2の半導体層を構成する材料の電子親和力が、上記第1の半導体層、及び第3の半導体層を構成する材料の電子親和力よりも大きく、かつ、上記第1の半導体層と上記第2の半導体層との界面近傍の電子親和力の差が、上記第2の半導体層と上記第3の半導体層との界面近傍の電子親和力の差よりも大きいものとしたものである。

【0014】請求項2に係る電界効果トランジスタは、上記請求項1の電界効果トランジスタにおいて、上記第1の半導体層を構成する材料の電子親和力が、上記第3の半導体層を構成する材料の電子親和力よりも小さいものとしたものである。

【0015】請求項3に係る電界効果トランジスタは、上記請求項1の電界効果トランジスタにおいて、上記第2の半導体層を構成する材料の電子親和力が、上記第1の半導体層側から上記第3の半導体層側に向かって、徐々に小さくなるようにしたものでもあるものである。

【0016】請求項4に係る電界効果トランジスタは、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はAlGaAsであり、上記第3の半導体層よりも上記第1の半導体層のAl組成が高いものである。

【0017】請求項5に係る電界効果トランジスタは、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はInGaPであり、上記第3の半導体層よりも上記第1の半導体層のGa組成が高いものである。

【0018】請求項6に係る電界効果トランジスタは、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はAlInAsであり、上記第3の半導体層よりも上記第1の半導体層のAl組成が高いものである。

【0019】請求項7に係る電界効果トランジスタは、上記請求項3の電界効果トランジスタにおいて、上記第2の半導体層を構成する材料はInGaAsであり、そのIn組成は上記第1の半導体層側から上記第3の半導体層側に向かって小さくなるように傾斜状もしくは階段状に変化させたものである。

【0020】

【発明の実施の形態】

実施の形態1. 本実施の形態1による電界効果トランジスタは、下部キャリア供給層(下部スペーサ層)の材料に、上部キャリア供給層(上部スペーサ層)よりも電子親和力の小さい材料を用いることにより、下部キャリア供給層(下部スペーサ層)とチャネル層との間の下部ヘテロ障壁高さを、上部キャリア供給層(下部スペーサ

層)とチャネル層との間の上部ヘテロ障壁高さよりも高くしたものである。

【0021】実施例1. 図1は本実施の形態1の実施例1における電界効果トランジスタの構造を示す断面模式図であり、図において、100は半絶縁性GaAs基板、101は半絶縁性GaAs基板100上に形成された層厚8000オングストロームのundoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層、12は超格子バッファ層101上に形成された膜厚2000オングストロームのundoped-Al_xGa_{1-x}Asバッファ層、13aはバッファ層12上に形成された膜厚50オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含むn-Al_xGa_{1-x}As下部キャリア供給層、14aは下部キャリア供給層13a上に形成された膜厚30オングストロームのundoped-Al_xGa_{1-x}As下部スペーサ層、105は下部スペーサ層14a上に形成された膜厚200オングストロームのundoped-In_zGa_{1-z}Asチャネル層、14bはチャネル層105上に形成された膜厚30オングストロームのundoped-Al_yGa_{1-y}As上部スペーサ層、13bは上部スペーサ層14b上に形成された膜厚100オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含むn-Al_yGa_{1-y}As上部キャリア供給層、106は上部キャリア層13b上に形成された膜厚200オングストロームのundoped-Al_yGa_{1-y}Asショットキー接合形成層、107はショットキー接合形成層106上に形成された膜厚1000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $5 \times 10^{16} \text{cm}^{-3}$ で含むn-GaAs下部コンタクト層、108は下部コンタクト層107上に形成された膜厚10オングストロームのn-Al_{0.2}Ga_{0.8}Asエッチングストップ層、109はエッチングストップ層108上に形成された膜厚2000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $2 \times 10^{18} \text{cm}^{-3}$ で含むn⁺-GaAsコンタクト層、110はソース電極、111はドレイン電極、112はゲート電極をそれぞれ示しており、図において図10と同一符号は同一又は相当する部分を示している。

【0022】ここで、各材料の組成比を示すx、y、z ($0 < x, y, z < 1$)の値は、格子不整合度があまり大きくならないで、かつn-Al_xGa_{1-x}As下部キャリア供給層13aのAlの組成(X)の方が、n-Al_yGa_{1-y}As上部キャリア供給層13bのAlの組成(Y)よりも高く($x > y$)なるよう $0.1 < y < x < 0.4$ 、 $0 < z < 0.25$ とするのがより望ましく、本実施例1では、トランジスタ特性を考慮して $x = 0.3$ 、 $y = 0.2$ 、 $z = 0.15$ とした。

【0023】以下、本実施例1の電界効果トランジスタ

の製造方法について説明する。図2は図1で示した電界効果トランジスタの製造工程を説明するための断面模式図であり、図において、図1、又は図10と同一符号は同一または相当する部分を示している。

【0024】まず、半絶縁性GaAs基板100上に、undoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層101、undoped-Al_xGa_{1-x}Asバッファ層12a、n-Al_xGa_{1-x}As下部キャリア供給層13a、undoped-Al_xGa_{1-x}As下部スペーサ層14a、undoped-In_zGa_{1-z}Asチャネル層105、undoped-Al_yGa_{1-y}As上部スペーサ層14b、n-Al_yGa_{1-y}As上部キャリア供給層13b、undoped-Al_yGa_{1-y}Asショットキー接合形成層106、n-GaAs下部コンタクト層107、n-Al_{0.2}Ga_{0.8}Asエッチングストップ層108、n⁺-GaAsコンタクト層109、をMBE法、MOCVD法などの結晶成長法を用いて順次積層する。

【0025】次に、上述のように積層したn⁺-GaAsコンタクト層109の表面に、レジストを塗布した後、写真製版により第1リセスとなる領域に開口を有するレジストマスク20を形成し、これをマスクに、クエン酸と過酸化水素水とを4:1で混合したエッチャントを用いてエッチングストップ層108まで選択エッチングし、その後エッチングストップ層108を除去して、図2(a)に示したような第1リセスを形成する。

【0026】次に、このレジストマスク20を除去し、全面に絶縁膜を形成し、さらにこの絶縁膜上にレジスト(図示せず)を塗布し、写真製版により第2リセスとなる領域に開口を有するレジストマスクを形成したのち、これをマスクに、絶縁膜を除去し、第2リセスとなる領域に開口を有する絶縁膜21を形成する。その後レジストを除去し、第2リセスとなる領域に開口を有する絶縁膜21をマスクに、クエン酸と過酸化水素水4:1で混合したエッチャントを用いて、ショットキー接合形成層106まで選択エッチングを行い、下部コンタクト層107を除去して、図2(b)に示したような第2リセスを形成する。

【0027】次に、全面にWSi、及びAuを順次スパッタ等により積層し、さらに全面にレジストを塗布した後、写真製版によりゲート電極となる領域上のみにレジストを残し(図示せず)、これをマスクに、ミリング、RIEによりAu、及びWSiを除去した後、さらにレジストを除去し、これにアニールを施すことによりエッチングダメージの回復を行って、図2(c)に示したゲート電極110を形成する。

【0028】次に、全面にレジストを塗布し、写真製版によりソース、及びドレイン電極となる領域に開口を有するマスクを形成し、該開口部分の絶縁膜21を除去する。その後、電極金属を蒸着等により堆積させた後、レジ

ストを除去してソース電極 111、及びドレイン電極 112 を形成し、電界効果トランジスタを完成する。

【0029】以下、本実施の形態 1 による実施例 1 の電界効果トランジスタの作用、効果について説明する。図 3 は本発明の実施の形態 1 による実施例 1 の電界効果トランジスタの伝導帯下端のエネルギーバンド図であり、図 4 は、図 3 に示したような、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタ（ゲート長 $L_g = 0.7 \mu\text{m}$ 、ゲート幅 $W_g = 200 \mu\text{m}$ ）のドレイン電流 I_d 、及び相互ドレインコンダクタンス g_m のグラフである。

【0030】本願の発明者らは、電界効果トランジスタにおいて、下部キャリア供給層（下部スペーサ層）とチャネル層との間の下部ヘテロ障壁高さが、上部キャリア供給層（上部スペーサ層）とチャネル層との間の上部ヘテロ障壁高さよりも高い場合に、その電界効果トランジスタの DC 特性における線形性が向上する、即ち歪み特性の良い電界効果トランジスタが得られることを実験データから見いだした。そこで、本実施の形態 1 では、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタを得るために、下部キャリア供給層（下部スペーサ層）の材料に、上部キャリア供給層（上部スペーサ層）の材料よりも電子親和力の小さい材料を用いることでこの構成を実現した。

【0031】ヘテロ障壁高さは、チャネル層 105 と上部キャリア供給層 13b（上部スペーサ層 14b）との、あるいはチャネル層 105 と下部のキャリア供給層 13a（スペーサ層 14a）との間での電子親和力の差により決まる。また、電子親和力は、伝導体下端までの真空準位からのエネルギー差を表したもので、化合物半導体の電子親和力は、ベガード則を用いて、以下に示す表 1 から求めることができる。

【0032】

【数 2】

	電子親和力 (eV)
AlAs	2.62
GaAs	4.07
InP	4.40
GaP	4.0
InAs	4.90

【0033】これにより、例えば AlGaAs の電子親和力は、AlAs の電子親和力 2.62 とアルミの組成 x との積と、GaAs の電子親和力 4.07 と Ga の組成 $1-x$ との積との和により求めることができる。従っ

て、上部、及び下部キャリア供給層（スペーサ層）が AlGaAs よりなる場合は、ベガード則より、下部キャリア供給層を上部キャリア供給層より Al 組成の大きい材料により形成することで、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタを得ることができる。また同様に、上部、及び下部キャリア供給層（スペーサ層）が InGaP よりなる場合は、より Ga 組成の大きい材料を、また、上部、及び下部キャリア供給層が AlInAs よりなる場合は、より Al 組成の大きい材料を下部キャリア供給層に用いることで、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタを得ることができる。

【0034】このような、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタの DC 特性（図 4）と、従来例で示した、下部ヘテロ障壁高さと上部ヘテロ障壁高さとが等しい電界効果トランジスタの DC 特性（図 12）とを比較すると、図 12 における相互ドレインコンダクタンス g_m のグラフは、低 I_d （出力）領域の線形性が悪く、ある V_g の範囲で g_m の値が一定となるような部分がほとんどないのに対し、図 4 における相互ドレインコンダクタンス g_m のグラフは、低 I_d （出力）領域における g_m の値が図 12 のものより高く、 V_g が $-1\text{V} \sim 0\text{V}$ の範囲で、 g_m の値がほぼ一定の値を示しており、本実施の形態 1 の電界効果トランジスタ（図 4）は、従来の電界効果トランジスタ（図 12）に比べてその DC 特性における線形性が改善され、歪み特性が良くなっている。

【0035】このように本実施の形態 1 による実施例 1 によれば、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 下部キャリア供給層 13a の Al 組成 x を、 $n\text{-Al}_y\text{Ga}_{1-y}\text{As}$ 上部キャリア供給層 13b の Al 組成 y より大きいものとして、下部キャリア供給層 13a の電子親和力を上部キャリア供給層 13b の電子親和力よりも小さくしたので、下部ヘテロ障壁高さを上部ヘテロ障壁高さよりも高くでき、歪み特性が良く、周波数多重通信においても隣接回線への漏洩電力を小さくできる電界効果トランジスタを得ることができる効果がある。

【0036】なお、実施例 1 の電界効果トランジスタは、埋込ゲート構造であるので、製造中にリセスの表面をプロセス雰囲気中にさらす時間を減らすことができ、これにより安定した表面準位の素子を製造することができ、信頼度の高いトランジスタを得ることができるものである。

【0037】実施例 2. 本実施の形態 1 の実施例 2 における電界効果トランジスタは、上記実施例 1 の電界効果トランジスタとは異なる材料を用いて、下部キャリア供給層（下部スペーサ層）の電子親和力を、上部キャリア供給層（上部スペーサ層）の電子親和力より小さくしたものである。なお、本実施例 2 は上記実施例 1 とはゲート電極、及びリセスの形状が異なるものである。

【0038】図5は本実施の形態1の実施例2における電界効果トランジスタの構造を示す断面模式図であり、図において、100は半絶縁性GaAs基板、101は半絶縁性GaAs基板100上に形成された層厚8000オングストロームのundoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層、52aは超格子バッファ層101上に形成された膜厚2000オングストロームのundoped-In_{1-x}GaxPバッファ層、53aはバッファ層52a上に形成された膜厚50オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含むn-In_{1-x}GaxP下部キャリア供給層、54aは下部キャリア供給層53a上に形成された膜厚30オングストロームのundoped-In_{1-x}GaxP下部スペーサ層、105は下部スペーサ層54a上に形成された膜厚200オングストロームのundoped-InzGa_{1-z}Asチャネル層、54bはチャネル層105上に形成された膜厚30オングストロームのundoped-In_{1-y}GayP上部スペーサ層、53bは上部スペーサ層54b上に形成された膜厚100オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含むn-In_{1-y}GayP上部キャリア供給層、56bは上部キャリア供給層53bの上に形成された膜厚200オングストロームのundoped-In_{1-y}GayPショットキー接合形成層、107はショットキー接合形成層56b上に形成された膜厚1000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $5 \times 10^{16} \text{cm}^{-3}$ で含むn-GaAs下部コンタクト層、108は下部コンタクト層107上に形成された膜厚10オングストロームのn-Al_{0.2}Ga_{0.8}Asエッチングストップ層、109はエッチングストップ層108上に形成された膜厚2000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $2 \times 10^{18} \text{cm}^{-3}$ で含むn⁺-GaAsコンタクト層、111はソース電極、112はドレイン電極、110はゲート電極をそれぞれ示している。

【0039】なお、各材料の組成比を示すx, y, z ($0 < x, y, z < 1$)の値は、格子不整合度があまり大きくならないで、かつn-In_{1-x}GaxP下部キャリア供給層53aのGaの組成(X)の方が、n-In_{1-y}GayP上部キャリア供給層53bのGaの組成(Y)よりも高く($x > y$)なるよう $0.4 < y < x < 0.7$, $0 < z < 0.25$ とするのがより望ましく、本実施例2では、トランジスタ特性を考慮して $x = 0.6$, $y = 0.5$, $z = 0.15$ とした。

【0040】以下、本実施例2の電界効果トランジスタの製造方法について説明する。図6は図5で示した電界効果トランジスタの製造工程を説明するための断面模式図であり、図において、図1と同一符号は同一または相当する部分を示している。

【0041】まず、半絶縁性GaAs基板100上に、undoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層101、undoped-In_{1-x}GaxPバッファ層52a、n-In_{1-x}GaxP下部キャリア供給層53a、undoped-In_{1-x}GaxP下部スペーサ層54a、undoped-InzGa_{1-z}Asチャネル層105、undoped-In_{1-y}GayP上部スペーサ層54b、n-In_{1-y}GayP上部キャリア供給層53b、undoped-In_{1-y}GayPショットキー接合形成層56b、n-GaAs下部コンタクト層107、n-Al_{0.2}Ga_{0.8}Asエッチングストップ層108、n⁺-GaAsコンタクト層109、をMBE法、MOCVD法などの結晶成長法を用いて順次積層する。

【0042】次に、上述のように積層したn⁺-GaAsコンタクト層109の表面に、電極金属を蒸着等により全面に形成し、さらにその全面にレジストを塗布した後、写真製版によりソース、及びドレイン電極となる領域上のみにレジストを残し、このレジスト(図示せず)をマスクに電極金属を除去し、さらにレジストを除去してソース電極111、及びドレイン電極112を形成する。

【0043】その後全面にレジストを塗布して写真製版により第1リセスとなる領域に開口を有するレジストマスク60を形成し、これをマスクに、クエン酸と過酸化水素水とを4:1で混合したエッチャントを用いてエッチングストップ層108まで選択エッチングし、その後エッチングストップ層108を除去して図6(a)に示したような、第1リセスを形成する。

【0044】次に、このレジストマスク60を除去し、全面に絶縁膜を形成し、さらにこの絶縁膜上にレジストを塗布し、写真製版で第2リセスとなる領域に開口を有するレジストマスク62を形成したのち、これをマスクに、選択的に絶縁膜を除去し、第2リセスとなる領域に開口を有する絶縁膜61を形成する。その後さらにクエン酸と過酸化水素水を4:1で混合したエッチャント、あるいは酒石酸と過酸化水素水を50:1で混合したエッチャントを用いて、下部コンタクト層107をショットキー接合形成層56bまで除去して、図6(b)に示したような第2リセスを形成する。

【0045】次に、レジスト62を残したままで、全面にWSi、及びAuを順次スパッタにより積層し、その後レジスト62を除去することで図6(c)に示すようなゲート電極110をリフトオフにより形成し、電界効果トランジスタを完成する。

【0046】なおゲート電極は、WSiとAuを積層したものとしたが、Ti/Al/Mo、Ti/Pt/Au、あるいはMo/Al/Moを順次積層したものとしてもよく、ショットキー接合形成層と良好な接続ができるものであればよい。

【0047】このように、実施例2によれば、 $n\text{-In}_{1-x}\text{Ga}_x\text{P}$ 下部キャリア供給層53aのGaの組成 x を $n\text{-In}_{1-y}\text{Ga}_y\text{P}$ 上部キャリア供給層53bのGaの組成 y より大きいものとして、下部キャリア供給層53aの電子親和力を上部キャリア供給層53bの電子親和力よりも小さくしたので、上記実施例1と同様に、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタを得ることができ、これにより、歪み特性が良い電界効果トランジスタを得ることができる効果がある。

【0048】なお、実施例2の電界効果トランジスタは、2段リセス構造としたので、電界効果トランジスタの性能を落とさずに高い耐圧を得ることができるものである。

【0049】実施例3、4、本実施の形態1の実施例3、4における電界効果トランジスタは、上記実施例1、及び2の電界効果トランジスタとは異なる材料を用いて、下部キャリア供給層（下部スペーサ層）の電子親和力を、上部キャリア供給層（下部スペーサ層）の電子親和力より小さくしたものである。なお、本実施例3は上記実施例2と同様の2段リセス構造を有するもので、実施例4は実施例1と同様の埋込ゲート構造を有するものである。

【0050】図7は本実施の形態1の実施例3、4における電界効果トランジスタの構造を説明するための断面模式図であり、図において、70は半絶縁性InP基板、72は半絶縁性InP基板70上に形成された膜厚2500オングストロームの $\text{undoped-Al}_x\text{In}_{1-x}\text{As}$ バッファ層、73aはバッファ層72上に形成された膜厚50オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含む $n\text{-Al}_x\text{In}_{1-x}\text{As}$ 下部キャリア供給層、74aは下部キャリア供給層73a上に形成された膜厚30オングストロームの $\text{undoped-Al}_x\text{In}_{1-x}\text{As}$ 下部スペーサ層、105は下部スペーサ層74a上に形成された膜厚200オングストロームの $\text{undoped-In}_z\text{Ga}_{1-z}\text{As}$ チャネル層、74bはチャネル層105上に形成された膜厚30オングストロームの $\text{undoped-Al}_y\text{In}_{1-y}\text{As}$ 上部スペーサ層、73bは上部スペーサ層74b上に形成された膜厚100オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含む $n\text{-Al}_y\text{In}_{1-y}\text{As}$ 上部キャリア供給層、76は上部キャリア供給層73b上に形成された膜厚200オングストロームの $\text{undoped-(Al}_{1-t}\text{Ga}_t\text{)SIn}_{1-s}\text{As}$ ($0 < s < 1, 0 \leq t < 1$) ショットキー接合形成層、77はショットキー接合形成層上に形成された膜厚1000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $5 \times 10^{16} \text{cm}^{-3}$ で含む $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 下部コンタクト層、78は下部コンタクト層77

上に形成された膜厚10オングストロームの $n\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ エッチングストップ層、79はエッチングストップ層78上に形成された膜厚2000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $2 \times 10^{18} \text{cm}^{-3}$ で含む $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 上部コンタクト層、110はソース電極、111はドレイン電極、112はゲート電極をそれぞれ示しており、図において図1と同一符号は同一又は相当する部分を示している。

【0051】なお、各材料の組成比を示す x, y, z ($0 < x, y, z, s, t < 1$) の値は、格子不整合度があまり大きくならないで、かつ $n\text{-Al}_x\text{In}_{1-x}\text{As}$ 下部キャリア供給層73aのAlの組成(X)の方が、 $n\text{-Al}_y\text{In}_{1-y}\text{As}$ 上部キャリア供給層73bのAlの組成(Y)よりも高く($x > y$) なるよう $0.3 < y < x < 0.7, 0.4 < z < 0.9, 0.3 < s < 0.7, 0 \leq t < 0.3$ とするのがより望ましく、本実施例3、4では、トランジスタ特性を考慮して $x = 0.6, y = 0.48, z = 0.7, s = 0.48, t = 0.2$ とした。

【0052】以下、本実施例3、4の電界効果トランジスタの製造方法について説明する。本実施例3、4の電界効果トランジスタの製造方法は、半絶縁性InP基板70上に、 $\text{undoped-Al}_x\text{In}_{1-x}\text{As}$ バッファ層72、 $n\text{-Al}_x\text{In}_{1-x}\text{As}$ 下部キャリア供給層73a、 $\text{undoped-Al}_x\text{In}_{1-x}\text{As}$ 下部スペーサ層74a、 $\text{undoped-In}_z\text{Ga}_{1-z}\text{As}$ チャネル層105、 $\text{undoped-Al}_y\text{In}_{1-y}\text{As}$ 上部スペーサ層74b、 $n\text{-Al}_y\text{In}_{1-y}\text{As}$ 上部キャリア供給層73b、 $\text{undoped-(Al}_{1-t}\text{Ga}_t\text{)SIn}_{1-s}\text{As}$ ($0 < s < 1, 0 \leq t < 1$) ショットキー接合形成層76、 $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 下部コンタクト層77、 $n\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ エッチングストップ層78、 $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 上部コンタクト層79、を積層した後、実施例3では実施例2の図6の方法と同様に、ソース、ドレイン電極を形成し、第1リセス、及び第2リセスを形成して2段リセス構造の電界効果トランジスタを製造する。実施例4では、上記各層を積層した後、実施例1の図2の方法と同様に、第1リセス、第2リセスを形成し、埋込ゲート電極を形成した後、ソース、ドレイン電極を形成して埋込ゲート構造の電界効果トランジスタを製造する。この実施例3、4では、上記各層を積層した後の工程において、 $n\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ エッチングストップ層78まで $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 上部コンタクト層79をエッチングする際のエッチャント、及び、 $\text{undoped-(Al}_{1-t}\text{Ga}_t\text{)SIn}_{1-s}\text{As}$ ($0 < s < 1, 0 \leq t < 1$) ショットキー接合形成層76まで $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 下部コンタクト層77をエッチングする際のエッチャントは異なるが、実施例1、2

のそれぞれで示した製造方法と同様の方法で、それぞれ埋込ゲート構造（実施例 4）の、あるいは 2 段リセス構造（実施例 3）の電界効果トランジスタを製造することができる。

【0053】このように、実施例 3、4 によれば、 $n-AI_xIn_{1-x}As$ 下部キャリア供給層 73a の Al の組成 x を $n-AI_yIn_{1-y}As$ 上部キャリア供給層 73b の Al の組成 y より大きいものとして、下部キャリア供給層 73a の電子親和力を上部キャリア供給層 73b の電子親和力より小さくしたので、上記実施例 1、及び 2 と同様に、下部ヘテロ障壁高さが上部ヘテロ障壁高さよりも高い電界効果トランジスタを得ることができ、これにより、歪み特性が良い電界効果トランジスタを得ることができる効果がある。

【0054】なお、実施例 3 では、この電界効果トランジスタを 2 段リセス構造としたので、電界効果トランジスタの性能を落とさずに高い耐圧を得ることができ、実施例 4 では、この電界効果トランジスタを埋込みゲート構造としたので、安定した表面準位の素子を製造することができる。また、上記実施例 1～4 において、リセスの形状、及びゲート電極の形状、電極材料等は特に限定されるものではなく、任意のものをを用いることができる。

【0055】**実施の形態 2.** 本実施の形態 2 による電界効果トランジスタは、チャンネル層を、該チャンネル層を構成する材料の電子親和力が、下部キャリア供給層側から上部キャリア供給層側に向かって、徐々に小さくなるように形成することで、下部ヘテロ障壁高さを上部ヘテロ障壁高さよりも高くしたものである。

【0056】実施例 5. 図 9 は本実施の形態 2 による実施例 5 の電界効果トランジスタの構造を示す断面模式図であり、図 9 (a) において、100 は半絶縁性 GaAs 基板、101 は半絶縁性 GaAs 基板 100 上に形成された層厚 8000 オングストロームの $undoped-AI_{0.2}Ga_{0.8}As$ 超格子バッファ層、102 は超格子バッファ層 101 上に形成された膜厚 2000 オングストロームの $undoped-AI_{0.2}Ga_{0.8}As$ バッファ層、103a はバッファ層 102 上に形成された膜厚 50 オングストローム、不純物として Si、あるいは Se 等を不純物濃度 $3 \times 10^{18} cm^{-3}$ で含む $n-AI_{0.2}Ga_{0.8}As$ 下部キャリア供給層、104a は下部キャリア供給層 103a 上に形成された膜厚 30 オングストロームの $undoped-AI_{0.2}Ga_{0.8}As$ 下部スペーサ層、205 は下部スペーサ層 104a 上に形成された膜厚 200 オングストロームの $undoped-In_zGa_{1-z}As$ グレーディッドチャンネル層、104b はチャンネル層 205 上に形成された膜厚 30 オングストロームの $undoped-AI_yGa_{1-y}As$ 上部スペーサ層、103b は上部スペーサ層 104b 上に形成された膜厚 100 オング

ストローム、不純物として Si、あるいは Se 等を不純物濃度 $3 \times 10^{18} cm^{-3}$ で含む $n-AI_yGa_{1-y}As$ 上部キャリア供給層、106 は上部キャリア層 103b 上に形成された膜厚 200 オングストロームの $undoped-AI_{0.2}Ga_{0.8}As$ ショットキー接合形成層、107 はショットキー接合形成層 106 上に形成された膜厚 1000 オングストローム、不純物として Si、あるいは Se 等を不純物濃度 $5 \times 10^{16} cm^{-3}$ で含む $n-GaAs$ 下部コンタクト層、108 は下部コンタクト層 107 上に形成された膜厚 10 オングストロームの $n-AI_{0.2}Ga_{0.8}As$ エッチングストッパ層、109 はエッチングストッパ層 108 上に形成された膜厚 2000 オングストローム、不純物として Si、あるいは Se 等を不純物濃度 $2 \times 10^{18} cm^{-3}$ で含む n^+-GaAs コンタクト層、110 はソース電極、111 はドレイン電極、112 はゲート電極をそれぞれ示しており、図において図 10 と同一符号は同一又は相当する部分を示している。

【0057】本実施の形態 2 による実施例 5 の電界効果トランジスタにおいては、グレーディッドチャンネル層 205 はその In 組成 z がチャンネル層下端から上端に向かって z_1 から z_2 ($0 < z_2 < z_1 < 1$) に連続的に変化しているものである。 z_1 、 z_2 の値は格子不整合度があまり大きくならない $0 < z_2 < z_1 < 0.25$ とするが望ましく、本実施例 5 ではトランジスタ特性を考慮して、 $z_1 = 0.2$ 、 $z_2 = 0.1$ とした。

【0058】以下、本実施の形態 2 による実施例 5 の電界効果トランジスタの製造方法について説明する。図 9 に示した本実施例 5 の電界効果トランジスタの製造方法は、半絶縁性 GaAs 基板 100 上に、超格子バッファ層 101、 $undoped-AI_{0.2}Ga_{0.8}As$ バッファ層 102、 $n-AI_{0.2}Ga_{0.8}As$ 下部キャリア供給層 103a、 $undoped-AI_{0.2}Ga_{0.8}As$ 下部スペーサ層 104a、 $undoped-In_zGa_{1-z}As$ グレーディッドチャンネル層 205、 $undoped-AI_yGa_{1-y}As$ 上部スペーサ層 104b、 $n-AI_yGa_{1-y}As$ 上部キャリア供給層 103b、 $undoped-AI_{0.2}Ga_{0.8}As$ ショットキー接合形成層 106、 $n-GaAs$ 下部コンタクト層 107、 $n-AI_{0.2}Ga_{0.8}As$ エッチングストッパ層 108、 n^+-GaAs コンタクト層 109、の各層を積層するが、グレーディッドチャンネル層 205 以外の各層は、従来例として示した図 10 のものと同様であり、ここでは説明を省略する。

【0059】本実施例 5 におけるグレーディッドチャンネル層 205 の製造工程は、 In の組成比 z が、下部キャリア供給層 103b 側から上部キャリア供給層側 103a に向かって、0.2 から 0.1 に徐々に小さくなるようにこのグレーディッドチャンネル層 205 を成長する。この成長時の組成比の調整は、MBE 法の場合は、成長

させる材料のセルの温度を調整することにより行い、MOCVD法の場合は、材料ガスの流量を調整することにより行う。こうして上記各層を積層した後、その他の層を従来同様に積層し、その後電極、及びリセスを従来同様に形成して電界効果トランジスタを完成する。

【0060】以下、本実施の形態2による実施例5の電界効果トランジスタの作用、効果について説明する。図8は本発明の実施の形態2による実施例5の電界効果トランジスタの伝導帯下端のエネルギーバンド図である。本実施の形態2による実施例5では、グレーディッドチャンネル層205の電子親和力が、その下層部から上層部に向かって徐々に小さくなるように、即ちInGaAsグレーディッドチャンネル層205のInの組成が、下層部から上層部に向かって徐々に小さくなるように形成したので、下部ヘテロ障壁高さを、上記実施の形態1の図4と同様に上部ヘテロ障壁高さよりも高くすることができ、これにより、歪み特性が良く、周波数多重通信においても隣接回線への漏洩電力が小さい電界効果トランジスタを得ることができる効果がある。

【0061】実施例6. 本実施例6の電界効果トランジスタは、上記実施例5におけるグレーディッドチャンネル層205を、Inの組成 z が階段状に変化するステップグレーディッド構造としたものであり、図9(b)はグレーディッドチャンネル層205近傍の層を拡大した断面模式図である。

【0062】本実施例6は、上記実施例5のグレーディッドチャンネル層205を、それぞれIn組成が異なる3つの層(205a、205b、205c)よりなるステップグレーディッドチャンネル構造としたもので、本実施例6のグレーディッドチャンネル層205は、Inの組成が z_1 であるチャンネル層205cと、Inの組成が z_2 であるチャンネル層205bと、Inの組成が z_3 であるチャンネル層205aとよりなり、そのIn組成 z がチャンネル層下層部から階段状に $z_1 \rightarrow z_2 \rightarrow z_3$ ($0 < z_3 < z_2 < z_1 < 1$)と変化しているものである。 z_1 、 z_2 、 z_3 の値は、格子不整合度があまり大きくなりたくない $0 < z_3 < z_2 < z_1 < 0.25$ が望ましく、本実施例6ではトランジスタ特性を考慮して $z_1 = 0.2$ 、 $z_2 = 0.15$ 、 $z_3 = 0.1$ とした。グレーディッドチャンネル層205以外の各層は、上記実施例4と同様である。

【0063】本実施例6の電界効果トランジスタの製造方法は、半絶縁性GaAs基板上にundoped-A10.2Ga0.8As下部スペーサ層104aまでを従来同様に積層した後、Inの組成が0.2(z_1)であるundoped-In z_1 Ga1- z_1 As層205c、Inの組成が0.15(z_2)であるundoped-In z_2 Ga1- z_2 As層205b、Inの組成が0.1(z_3)であるundoped-In z_3 Ga1- z_3 As層205aを順次成長させ、その後さらにundoped-A

lyGa1-yAs上部スペーサ層104bからn⁺-GaAsコンタクト層109までを従来同様に積層し、その後電極形成、及びリセス形成を従来同様にを行い電界効果トランジスタを完成する。

【0064】このように、グレーディッドチャンネル層205を、それぞれIn組成が段階的に異なる複数の層よりなる、ステップグレーディッドチャンネル構造とした本実施例6においても、上記実施例5と同様に歪み特性が良く、周波数多重通信においても隣接回線への漏洩電力を小さくできる電界効果トランジスタが得られる効果がある。また本実施例6ではInの組成比が階段状に変わるステップグレーディッド構造としたので、グレーディッドチャンネル層205を安定して製造することができる。

【0065】実施の形態3. 本実施の形態3による電界効果トランジスタは、実施の形態1、及び2を組み合わせることにより、即ち、下部キャリア供給層(下部スペーサ層)の材料に、上部キャリア供給層(上部スペーサ層)よりも電子親和力の小さい材料を用い、かつ、チャンネル層を構成する材料の電子親和力が、下部キャリア供給層側から上部キャリア供給層側に向かって、徐々に小さくなるように形成することにより、下部ヘテロ障壁高さを上部ヘテロ障壁高さよりもさらに高くしたものである。

【0066】実施例7、8. 図13(a)は本実施の形態3による実施例7、8の電界効果トランジスタを示す断面模式図であり、実施例7は、実施例1で図1に示した各層のうちのチャンネル層105を、実施例5で図9に示したグレーディッドチャンネル層205に置き換えたもので、実施例8は、実施例1で図1に示した各層のうちのチャンネル層105を、実施例6で図9(b)に示したステップグレーディッド構造のグレーディッドチャンネル層205に置き換えたものである。

【0067】図において、100は半絶縁性GaAs基板、101は半絶縁性GaAs基板10上に形成された膜厚8000オングストロームのundoped-A10.2Ga0.8As/undoped-GaAs超格子バッファ層、12は超格子バッファ層101上に形成された膜厚2000オングストロームのundoped-A1xGa1-xAsバッファ層、13aはバッファ層12上に形成された膜厚50オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ で含むn-A1xGa1-xAs下部キャリア供給層、14aは下部キャリア供給層13a上に形成された膜厚30オングストロームのundoped-A1xGa1-xAs下部スペーサ層、205は下部スペーサ層14a上に形成された膜厚200オングストロームのundoped-In z Ga1- z Asグレーディッドチャンネル層、14bはグレーディッドチャンネル層205上に形成された膜厚30オングストロームのundoped-Aly

Ga_{1-y}As 上部スペーサ層、13bは上部スペーサ層14b上に形成された膜厚100オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ で含むn-Al_yGa_{1-y}As上部キャリア供給層、106は上部キャリア層13b上に形成された膜厚200オングストロームのundoped-Al_yGa_{1-y}Asショットキー接合形成層、107はショットキー接合形成層106上に形成された膜厚1000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ で含むn-GaAs下部コンタクト層、108は下部コンタクト層107上に形成された膜厚10オングストロームのn-Al_{0.2}Ga_{0.8}Asエッチングストッパ層、109はエッチングストッパ層108上に形成された膜厚2000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $2 \times 10^{18} \text{ cm}^{-3}$ で含むn⁺-GaAsコンタクト層、110はソース電極、111はドレイン電極、112はゲート電極をそれぞれ示しており、図1及び図9と同一符号は同一または相当する部分を示している。

【0068】ここで、実施例7では各材料の組成比を示すx、y、z ($0 < x, y, z < 1$)の値は、格子不整合度があまり大きくならないで、かつn-Al_xGa_{1-x}As下部キャリア供給層13aのAlの組成(X)の方が、n-Al_yGa_{1-y}As上部キャリア供給層13bのAlの組成(Y)よりも高く($x > y$)なるよう、さらにグレーディッドチャネル層205のIn組成zがチャネル層下端から上端に向かってz₁からz₂ ($0 < z_2 < z_1 < 1$)に連続的に変化するように $0.1 < y < x < 0.4$, $0 < z < 0.25$ とするのがより望ましく、本実施例7では、トランジスタ特性を考慮して $x = 0.3$, $y = 0.2$, $z_1 = 0.2$, $z_2 = 0.1$ とした。

【0069】また、実施例8では上記実施例6で説明したようにこのグレーディッドチャネル層205はそのIn組成zがチャネル層下端から上端に向かって階段状に $z_1 \rightarrow z_2 \rightarrow z_3$ ($0 < z_3 < z_2 < z_1 < 1$)に変化するステップグレーディッド構造となるように $0 < z_3 < z_2 < z_1 < 0.25$ とするのが望ましく、本実施例8ではトランジスタ特性を考慮して $x = 0.3$, $y = 0.2$, $z_1 = 0.2$, $z_2 = 0.15$, $z_3 = 0.1$ とした。

【0070】本実施例7、8では、半絶縁性GaAs基板100からundoped-Al_xGa_{1-x}As下部スペーサ層14aまでの各層、及びundoped-Al_yGa_{1-y}As上部スペーサ層14bからn⁺-GaAsコンタクト層109までの各層の積層、及びそれ以降の電極形成、リセス形成の方法は実施例1と同様の方法により行い、undoped-In_zGa_{1-z}Asグレーディッドチャネル層205の成長はそれぞれ、実施例7では上記実施例5と同様の方法により、実施例8で

は上記実施例6と同様の方法により行う。

【0071】実施例9、10、図13(b)は本実施の形態3による実施例9、10の電界効果トランジスタを示す断面模式図であり、実施例9は、実施例2で図5に示した各層のうちのチャネル層105を、実施例5で図9に示したグレーディッドチャネル層205に置き換えたもので、実施例10は、実施例2で図5に示した各層のうちのチャネル層105を、実施例6で図9(b)に示したステップグレーディッド構造のグレーディッドチャネル層205に置き換えたものである。

【0072】図において、100は半絶縁性GaAs基板、101は半絶縁性GaAs基板100上に形成された層厚8000オングストロームのundoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層、52aは超格子バッファ層101上に形成された膜厚2000オングストロームのundoped-In_{1-x}Ga_xPバッファ層、53aはバッファ層52a上に形成された膜厚50オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ で含むn-In_{1-x}Ga_xP下部キャリア供給層、54aは下部キャリア供給層53a上に形成された膜厚30オングストロームのundoped-In_{1-x}Ga_xP下部スペーサ層、205は下部スペーサ層54a上に形成された膜厚200オングストロームのundoped-In_zGa_{1-z}Asグレーディッドチャネル層、54bはグレーディッドチャネル層205上に形成された膜厚30オングストロームのundoped-In_{1-y}Ga_yP上部スペーサ層、53bは上部スペーサ層54b上に形成された膜厚100オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ で含むn-In_{1-y}Ga_yP上部キャリア供給層、56bは上部キャリア供給層53bの上に形成された膜厚200オングストロームのundoped-In_{1-y}Ga_yPショットキー接合形成層、107はショットキー接合形成層56b上に形成された膜厚1000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ で含むn-GaAs下部コンタクト層、108は下部コンタクト層107上に形成された膜厚10オングストロームのn-Al_{0.2}Ga_{0.8}Asエッチングストッパ層、109はエッチングストッパ層108上に形成された膜厚2000オングストローム、不純物としてSi、あるいはSe等を不純物濃度 $2 \times 10^{18} \text{ cm}^{-3}$ で含むn⁺-GaAsコンタクト層、111はソース電極、112はドレイン電極、110はゲート電極をそれぞれ示しており、図5及び図9と同一符号は同一または相当する部分を示している。

【0073】ここで、実施例9では、各材料の組成比を示すx、y、z ($0 < x, y, z < 1$)の値は、格子不整合度があまり大きくならないで、かつn-In_{1-x}Ga_xP下部キャリア供給層53aのGaの組成(X)の

方が、 $n\text{-In}_{1-y}\text{Ga}_y\text{P}$ 上部キャリア供給層53bのGaの組成(Y)よりも高く($x > y$)なるよう、さらにグレーディッドチャンネル層205はそのIn組成zがチャンネル層下端から上端に向かって z_1 から z_2 ($0 < z_2 < z_1 < 1$)に連続的に変化するように $0.1 < y < x < 0.4$, $0 < z < 0.25$ とするのがより望ましく、本実施例6では、トランジスタ特性を考慮して $x = 0.6$, $y = 0.5$, $z_1 = 0.2$, $z_2 = 0.1$ とした。

【0074】また、実施例10では上記実施例6で説明したようにこのグレーディッドチャンネル層205はそのIn組成zがチャンネル層下端から上端に向かって階段状に $z_1 \rightarrow z_2 \rightarrow z_3$ ($0 < z_3 < z_2 < z_1 < 1$)に変化するステップグレーディッド構造となるように $0 < z_3 < z_2 < z_1 < 0.25$ とするのが望ましく、本実施例10ではトランジスタ特性を考慮して $x = 0.6$, $y = 0.5$, $z_1 = 0.2$, $z_2 = 0.15$, $z_3 = 0.1$ とした。

【0075】本実施例9, 10では半絶縁性GaAs基板100からundoped-In_{1-x}Ga_xP下部スペーサ層54aまでの各層、及びundoped-In_{1-y}Ga_yP上部スペーサ層54bから n^+ -GaAsコンタクト層109までの各層の積層、及びそれ以降の電極形成、リセス形成の方法は実施例2と同様の方法により行い、undoped-In_zGa_{1-z}Asグレーディッドチャンネル層205の成長はそれぞれ実施例9では上記実施例5と同様の方法により、実施例10では上記実施例6と同様の方法により行う。

【0076】実施例11, 12. 図13(c)は本実施の形態3による実施例11, 12の電界効果トランジスタを示す断面模式図であり、実施例11は、実施例3で図7に示した各層のうちのチャンネル層105を、実施例5で図9に示したグレーディッドチャンネル層205に置き換えたもので、実施例12は、実施例3で図7に示した各層のうちのチャンネル層105を、実施例6で図9(b)に示したステップグレーディッド構造のグレーディッドチャンネル層205に置き換えたものである。

【0077】図において、70は半絶縁性InP基板、72は半絶縁性InP基板70上に形成された膜厚2500オングストロームのundoped-Al_xIn_{1-x}Asバッファ層、73aはバッファ層72上に形成された膜厚50オングストローム、不純物としてSi, あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含む $n\text{-Al}_x\text{In}_{1-x}\text{As}$ 下部キャリア供給層、74aは下部キャリア供給層73a上に形成された膜厚30オングストロームのundoped-Al_xIn_{1-x}As下部スペーサ層、205は下部スペーサ層74a上に形成された膜厚200オングストロームのundoped-In_zGa_{1-z}Asチャンネル層、74bはグレーディッドチャンネル層205上に形成された膜厚30オングストロー

ムのundoped-Al_yIn_{1-y}As上部スペーサ層、73bは上部スペーサ層74b上に形成された膜厚100オングストローム、不純物としてSi, あるいはSe等を不純物濃度 $3 \times 10^{18} \text{cm}^{-3}$ で含む $n\text{-Al}_y\text{In}_{1-y}\text{As}$ 上部キャリア供給層、76は上部キャリア供給層73b上に形成された膜厚200オングストロームのundoped-(Al_{1-t}Ga_t)s In_{1-s}As($0 < s < 1$, $0 \leq t < 1$)ショットキー接合形成層、77はショットキー接合形成層上に形成された膜厚1000オングストローム、不純物としてSi, あるいはSe等を不純物濃度 $5 \times 10^{16} \text{cm}^{-3}$ で含む $n\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 下部コンタクト層、78は下部コンタクト層77上に形成された膜厚10オングストロームの $n\text{-In}_{0.48}\text{Ga}_{0.52}\text{P}$ エッチングストップ層、79はエッチングストップ層78上に形成された膜厚2000オングストローム、不純物としてSi, あるいはSe等を不純物濃度 $2 \times 10^{18} \text{cm}^{-3}$ で含む $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 上部コンタクト層、110はソース電極、111はドレイン電極、112はゲート電極をそれぞれ示しており、図7及び図9と同一符号は同一または相当する部分を示している。

【0078】ここで、実施例11では各材料の組成比を示す x, y, z, s, t ($0 < x, y, z, s, t < 1$)の値は、格子不整合度があまり大きくならないで、かつ $n\text{-Al}_x\text{In}_{1-x}\text{As}$ 下部キャリア供給層73aのAlの組成(X)の方が、 $n\text{-Al}_y\text{In}_{1-y}\text{As}$ 上部キャリア供給層73bのAlの組成(Y)よりも高く($x > y$)なるよう、さらにグレーディッドチャンネル層205はそのIn組成zがチャンネル層下端から上端に向かって z_1 から z_2 ($0 < z_2 < z_1 < 1$)に連続的に変化するように $0.3 < y < x < 0.7$, $0.4 < z < 0.9$, $0.3 < s < 0.7$, $0 \leq t < 0.3$ とするのがより望ましく、本実施例11では、トランジスタ特性を考慮して $x = 0.6$, $y = 0.48$, $s = 0.48$, $t = 0.2$, $z_1 = 0.7$, $z_2 = 0.53$ とした。

【0079】また、実施例12では上記実施例6で説明したようにこのグレーディッドチャンネル層205はそのIn組成zがチャンネル層下端から上端に向かって階段状に $z_1 \rightarrow z_2 \rightarrow z_3$ ($0 < z_3 < z_2 < z_1 < 1$)に変化するステップグレーディッド構造となるように $0.3 < y < x < 0.7$, $0.4 < z < 0.9$, $0.3 < s < 0.7$, $0 \leq t < 0.3$ とするのがより望ましく、本実施例12では、 $x = 0.6$, $y = 0.48$, $s = 0.48$, $t = 0.2$, $z_1 = 0.7$, $z_2 = 0.6$, $z_3 = 0.53$ とする。

【0080】本実施例11, 12では半絶縁性InP基板70からundoped-Al_xIn_{1-x}As下部スペーサ層74aまでの各層、及びundoped-Al_yIn_{1-y}As上部スペーサ層74bから $n^+\text{-In}_{0.53}\text{Ga}_{0.47}\text{As}$ 上部コンタクト層79までの各層の積

層、及びそれ以降の電極形成、リセス形成の方法は上記実施例3で説明したと同様の方法により行い、undoped-In₂Ga₁₋₂Asグレーディッドチャンネル層205の成長はそれぞれ、実施例11では上記実施例5と同様の方法により、実施例12では上記実施例6と同様の方法により行う。

【0081】このように本実施の形態3によれば、実施の形態1の各実施例で得られた電界効果トランジスタよりさらに下部ヘテロ障壁高さが上部ヘテロ障壁高さより高い電界効果トランジスタを得ることができ、これにより、さらに歪み特性が良い電界効果トランジスタを得ることができる効果がある。

【0082】

【発明の効果】請求項1に係る電界効果トランジスタによれば、半絶縁性の半導体基板上に、高抵抗のバッファ層と、該バッファ層上に形成された比較的高濃度の不純物を有する第1の半導体層と、該第1の半導体層上に形成された、アンドープ、または比較的低濃度の不純物を有する第2の半導体層と、該第2の半導体層上に形成された比較的高濃度の不純物を有する第3の半導体層と、該第3の半導体層上に形成された、その表面にゲート電極、ソース電極、及びドレイン電極が形成された第4の半導体層とを備えた電界効果トランジスタであって、上記第2の半導体層を構成する材料の電子親和力が、上記第1の半導体層、及び第3の半導体層を構成する材料の電子親和力よりも大きく、かつ、上記第1の半導体層と上記第2の半導体層との界面近傍の電子親和力の差が、上記第2の半導体層と上記第3の半導体層との界面近傍の電子親和力の差よりも大きいものとしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高いものとなり、入力信号に対する出力信号の線形性を向上でき、歪み特性が良く、周波数多重通信においても隣接回線への雑音の少ない電界効果トランジスタを得ることができる効果がある。

【0083】請求項2に係る電界効果トランジスタによれば、上記請求項1の電界効果トランジスタにおいて、上記第1の半導体層を構成する材料の電子親和力が、上記第3の半導体層を構成する材料の電子親和力よりも小さいものとしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高いものとなり、入力信号に対する出力信号の線形性を向上でき、歪み特性が良く、周波数多重通信においても隣接回線への雑音の少ない電界効果トランジスタを得ることができる効果がある。

【0084】請求項3に係る電界効果トランジスタによれば、上記請求項1の電界効果トランジスタにおいて、上記第2の半導体層を構成する材料の電子親和力が、上記第1の半導体層側から上記第3の半導体層側に向かって、徐々に小さくなるようにしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高いものとなり、入力信号に対する出力信号の線形性を向上でき、歪み特

性が良く、周波数多重通信においても隣接回線への雑音の少ない電界効果トランジスタを得ることができる効果がある。

【0085】請求項4に係る電界効果トランジスタによれば、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はAlGaAsであり、上記第3の半導体層よりも上記第1の半導体層のAl組成が高いものとしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高く歪み特性の良い高電子移動度トランジスタを得ることができる効果がある。

【0086】請求項5に係る電界効果トランジスタによれば、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はInGaPであり、上記第3の半導体層よりも上記第1の半導体層のGa組成が高いものとしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高く歪み特性の良い高電子移動度トランジスタを得ることができる効果がある。

【0087】請求項6に係る電界効果トランジスタによれば、上記請求項2の電界効果トランジスタにおいて、上記第1の半導体層、及び第3の半導体層を構成する材料はAlInAsであり、上記第3の半導体層よりも上記第1の半導体層のAl組成が高いものとしたので、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高く歪み特性の良い高電子移動度トランジスタを得ることができる効果がある。

【0088】請求項7に係る電界効果トランジスタは、上記請求項3の電界効果トランジスタにおいて、上記第2の半導体層を構成する材料はInGaAsであり、そのIn組成は上記第1の半導体層側から上記第3の半導体層側に向かって小さくなるように傾斜状もしくは階段状に変化させたものであるため、下部ヘテロ障壁の高さが上部ヘテロ障壁の高さよりも高く歪み特性の良い高電子移動度トランジスタを得ることができる効果がある。

【図面の簡単な説明】

【図1】 この発明による実施の形態1における実施例1のトランジスタの断面模式図である。

【図2】 この発明による実施例1の電界効果トランジスタの製造工程を示す断面模式図である。

【図3】 この発明による実施の形態1における実施例1の電界効果トランジスタの伝導帯下端のエネルギーバンド図である。

【図4】 この発明による実施の形態1における実施例1の電界効果トランジスタのDC特性図である。

【図5】 この発明による実施の形態1における実施例2のトランジスタの断面模式図である。

【図6】 この発明による実施の形態1における実施例2の電界効果トランジスタの製造工程を示す断面模式図である。

【図7】 この発明による実施の形態1における実施例3のトランジスタの断面模式図である。

【図8】 この発明による実施の形態2における実施例5の電界効果トランジスタの伝導帯下端のエネルギーバンド図である。

【図9】 この発明による実施の形態2における実施例5のトランジスタの断面模式図 (a) 、及び実施例6のグレーディッドチャネル層近傍の拡大図 (b) である。

【図10】 従来の電界効果トランジスタの断面模式図である。

【図11】 従来の電界効果トランジスタの伝導帯下端のエネルギーバンド図である。

【図12】 従来の電界効果トランジスタのDC特性図である。

【図13】 この発明による実施の形態3における実施例7のトランジスタの断面模式図 (a) 、実施例9のトランジスタの断面模式図 (b) 、実施例11のトランジスタの断面模式図 (c) である。

【符号の説明】

100 半絶縁性GaAs基板、
70 半絶縁性InP基板、
101 undoped-Al_{0.2}Ga_{0.8}As/undoped-GaAs超格子バッファ層、
102 undoped-Al_{0.2}Ga_{0.8}Asバッファ層、
12 undoped-Al_xGa_{1-x}Asバッファ層、
52a undoped-In_{1-x}Ga_xPバッファ層、
72 undoped-Al_xIn_{1-x}Asバッファ層、
103a n-Al_{0.2}Ga_{0.8}As下部キャリア供給層、
13a n-Al_xGa_{1-x}As下部キャリア供給層、
53a n-In_{1-x}Ga_xP下部キャリア供給層、
73a n-Al_xIn_{1-x}As下部キャリア供給層、
104a undoped-Al_{0.2}Ga_{0.8}As下部スペーサ層、
14a undoped-Al_xGa_{1-x}As下部スペー

ーサ層、

54a undoped-In_{1-x}Ga_xP下部スペーサ層、

74a undoped-Al_xIn_{1-x}As下部スペーサ層、

105 undoped-In_zGa_{1-z}Asチャネル層、

104b undoped-Al_{0.2}Ga_{0.8}As上部スペーサ層、

14b undoped-Al_yGa_{1-y}As上部スペーサ層、

54b undoped-In_{1-y}Ga_yP上部スペーサ層、

74b undoped-Al_yIn_{1-y}As上部スペーサ層、

103b n-Al_{0.2}Ga_{0.8}As上部キャリア供給層、

13b n-Al_yGa_{1-y}As上部キャリア供給層、

53b n-In_{1-y}Ga_yP上部キャリア供給層、

73b n-Al_yIn_{1-y}As上部キャリア供給層、

106 undoped-Al_yGa_{1-y}Asショットキー接合形成層、

56b undoped-In_{1-y}Ga_yPショットキー接合形成層、

76 undoped-(Al_{1-t}Ga_t)_sIn_{1-s}As (0<s<1, 0≤t<1) ショットキー接合形成層、

107 n-GaAs下部コンタクト層、

77 n-In_{0.53}Ga_{0.47}As下部コンタクト層、

108 n-Al_{0.2}Ga_{0.8}Asエッチングストッパ層、

78 n-In_{0.48}Ga_{0.52}Pエッチングストッパ層、

109 n⁺-GaAsコンタクト層、

79 n⁺-In_{0.53}Ga_{0.47}As上部コンタクト層、

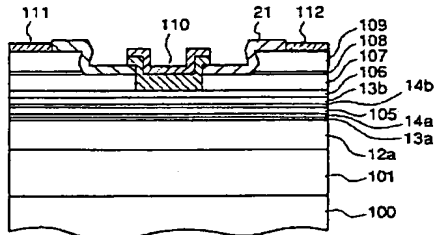
110

ソース電極、

111 ドレイン電極、

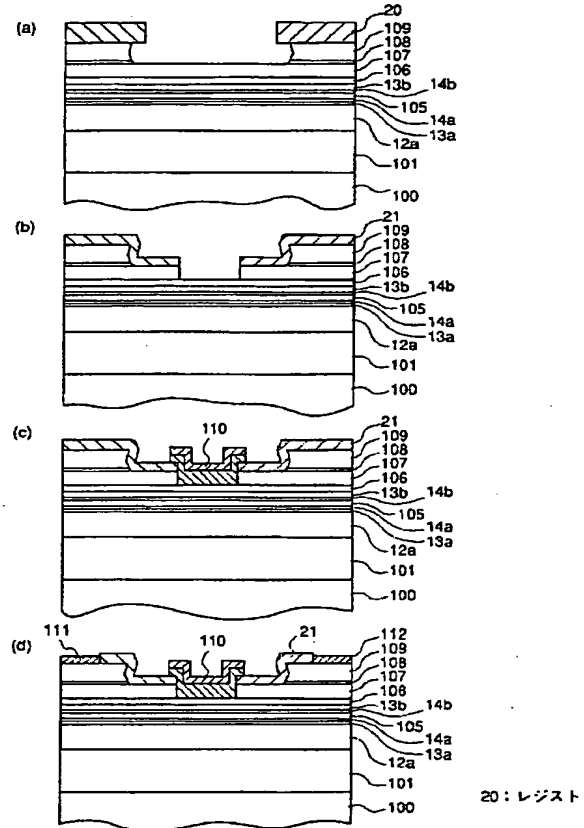
112 ゲート電極。

【図1】

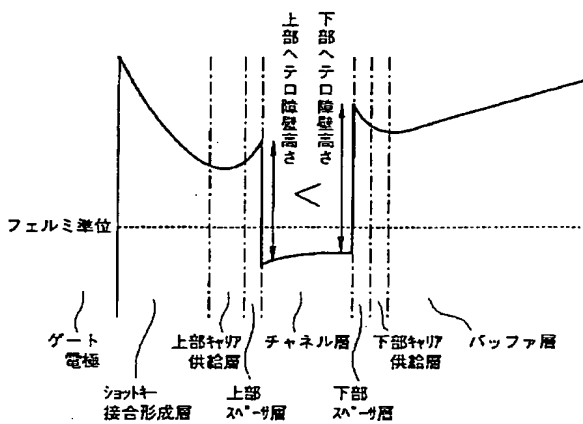


- 12a: undoped- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ バッファ層
 13a: $\text{n-Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 下部キャリア供給層
 13b: $\text{n-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部キャリア供給層
 14a: undoped- $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$ 下部スペーサ層
 14b: undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部スペーサ層
 21: 絶縁膜
 100: 半絶縁性GaAs基板
 101: undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ /undoped-GaAs超格子バッファ層
 105: undoped- $\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$ チャネル層
 106: undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ ショットキー接合形成層
 107: n-GaAs 下部コンタクト層
 108: $\text{n-Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチングストップ層
 109: $\text{n}^+\text{-GaAs}$ 上部コンタクト層
 110: ゲート電極
 111: ソース電極
 112: ドレイン電極

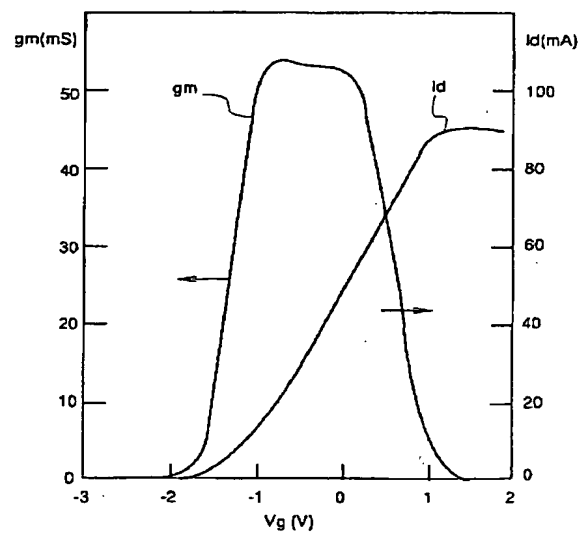
【図2】



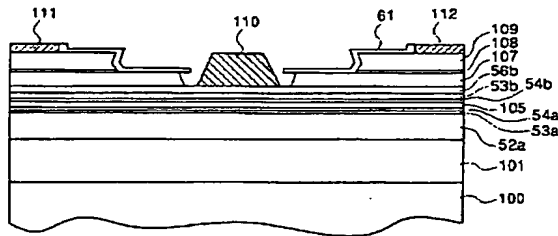
【図3】



【図4】

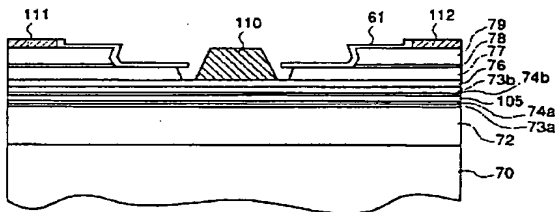


【図5】



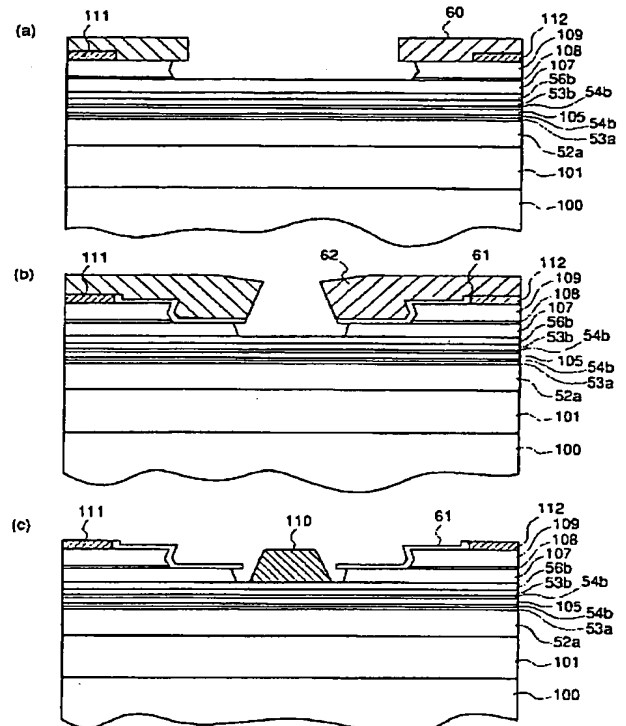
52a: undoped-In_{0.4}Ga_{0.6}Pバッファ層
 53a: n-In_{0.4}Ga_{0.6}P下部キャリア供給層
 53b: n-In_{0.5}Ga_{0.5}P上部キャリア供給層
 54a: undoped-In_{0.4}Ga_{0.6}P下部スペーサ層
 54b: undoped-In_{0.5}Ga_{0.5}P上部スペーサ層
 56b: undoped-In_{0.5}Ga_{0.5}Pショットキー接合形成層
 61: 絶縁膜

【図7】



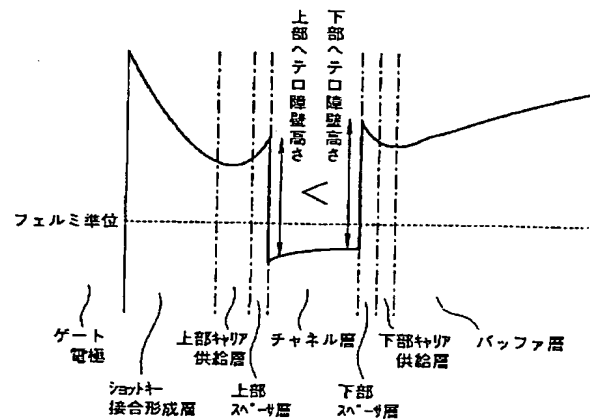
70: 半絶縁性InP基板
 72: undoped-Al_{0.6}In_{0.4}Asバッファ層
 73a: n-Al_{0.6}In_{0.4}As下部キャリア供給層
 73b: n-Al_{0.48}In_{0.52}As上部キャリア供給層
 74a: undoped-Al_{0.6}In_{0.4}As下部スペーサ層
 74b: undoped-Al_{0.48}In_{0.52}As上部スペーサ層
 76: undoped-(Al_{0.8}Ga_{0.2})_{0.48}In_{0.52}Asショットキー接合形成層
 77: n-In_{0.53}Ga_{0.47}As下部コンタクト層
 78: n-In_{0.48}Ga_{0.52}Pエッチングストップ層
 79: n-In_{0.53}Ga_{0.47}As上部コンタクト層

【図6】

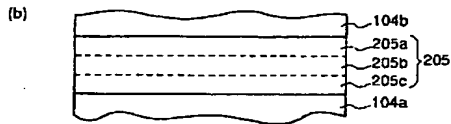
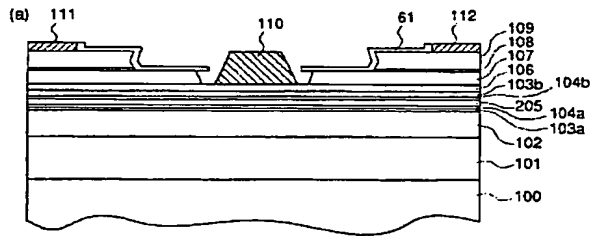


60, 62: レジスト

【図8】

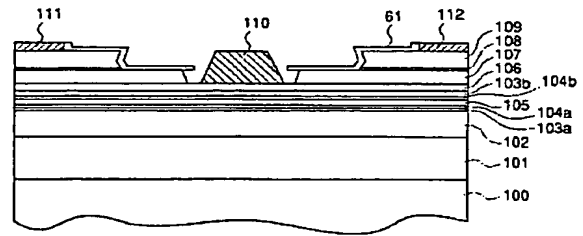


【図9】



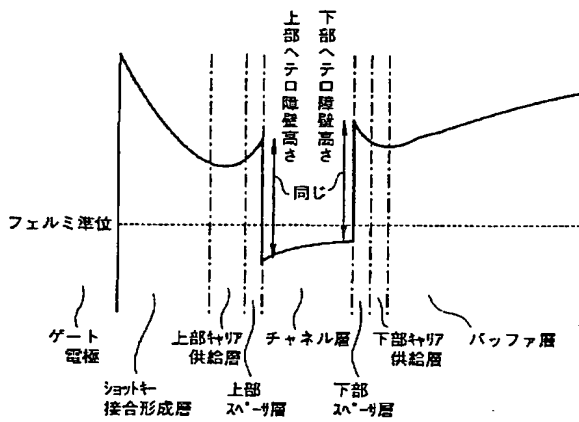
102 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バッファ層
 103a : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 下部キャリア供給層
 103b : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部キャリア供給層
 104a : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 下部スペーサ層
 104b : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部スペーサ層
 205 : グレーディッドチャネル層

【図10】

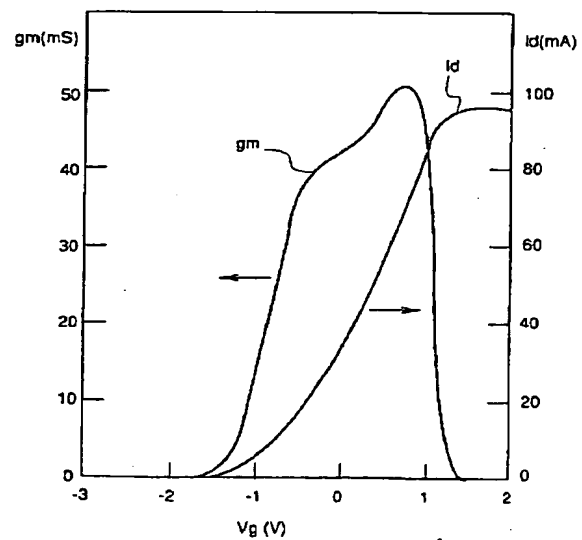


100 : 半絶縁性GaAs基板
 101 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ /undoped-GaAs超格子バッファ層
 102 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ バッファ層
 103a : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 下部キャリア供給層
 103b : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部キャリア供給層
 104a : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 下部スペーサ層
 104b : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 上部スペーサ層
 105 : undoped- $\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$ チャネル層
 106 : undoped- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ ショットキー接合形成層
 107 : n-GaAs下部コンタクト層
 108 : n- $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ エッチングストップ層
 109 : n^+ -GaAs上部コンタクト層
 110 : ゲート電極
 111 : ソース電極
 112 : ドレイン電極

【図11】



【図12】



【図 13】

